**Лабораторна робота №1**

**Тема:** Процес проектування зі зниженням рівня абстракції моделі з застосуванням мови Verilog.

**Мета:** Отримати знання про типи моделей, які описують ЦЕС; розглянути процес структурної декомпозиції.

**Теоретичні відомості**

Найбільш поширена методологія проектування цифрових електронних пристроїв «Від складного до простого» включає кілька етапів. Спочатку формулюються технічні та експлуатаційні вимоги до верхнього рівня проектованого приладу, а також визначається його інтерфейсна модель, що включає перелік входів і виходів, тимчасові характеристики роботи приладу, тобто його інтерфейсну частоту. згодом здійснюється структурна декомпозиція влаштування верхнього рівня, або, іншими словами, розбиття його на складові компоненти, які виділяються за функціональними або топологічними міркуваннями. Отримані структурні компоненти, в свою чергу, можуть бути розділені на дрібніші складові або реалізовані операторами мови Verilog на поведінковому (алгоритмічному) рівні.

Слід розуміти, що «на дні» будь-якої структурної ієрархії знаходяться оператори Verilog, що описують алгоритм функціонування об'єкта. Останнє визначає основну відмінність між поведінковим підходом до проектування і схемотехнічним підходом. **При схемотехнічному проектуванні** на нижньому рівні структурної ієрархії знаходиться модель пристрою, представлена ​​у вигляді структурної схеми, що включає логічні вентилі, тригери, регістри, мультиплексори і інші стандартні цифрові пристрої. Завдання розбиття розроблювального пристрою на структурні складові є досить складним і визначає якість і ефективність всього процесу проектування в подальшому. Правильно здійснена структурна декомпозиція дозволяє значно спростити взаємодію між учасниками групи розробки (розробниками окремих компонентів проекту) і звести до мінімуму час, що витрачається на узгодження окремих частин проекту.

RASSP Taxonomy Working Group пропонує наступну класифікацію моделей, що застосовуються в процесі проектування пристроїв на базі мікросхем програмованої логіки:

**Поведінкова модель** показує реакцію цифрового пристрою на зміну вхідних сигналів з урахуванням затримки реакції у часі. Ця модель не містить детального опису апаратної реалізації пристрою. Рівень абстракції залежить від рівня деталізації опису поведінкової моделі. Наприклад, на вищому рівні абстракції поведінкова модель може описувати процесор, що виконує абстрактний алгоритм, з точки зору нагріву корпусу і т.п., а на нижчому рівні - це може бути модель процесора з деталізацією системи команд (безлічі інструкцій) і алгоритмів їх виконання. Точність деталізації вхідних та вихідних даних поведінкової моделі залежить від рівня абстракції моделі.

**Функціональна модель** пристрою описує його функції без визначення способу реалізації цих функцій. Дана модель дозволяє визначати реакцію системи або її компонента без урахування тимчасового чинника (визначає значення виходу пристрою, але не час його установки). Рівень абстракції залежить від ступеня деталізації моделі пристрою. Рівень деталізації вхідних та вихідних сигналів залежить від рівня абстракції моделі в цілому.

**Структурні моделі** представляють компоненти пристроїв з точки зору їх ієрархії і взаємозв'язків між ними. Структурна модель може відповідати фізичної ієрархії елементів в описуваному цифровому пристрої. Ієрархія, в свою чергу, визначається фізичною організацією конкретної реалізації розроблювального проекту. Структурна модель описує фізичну структуру конкретної реалізації шляхом визначення компонентів і топології їх взаємозв'язків. Компоненти структурної моделі можуть бути описані на структурному, функціональному або поведінковому рівні. Імітаційне моделювання структурної моделі цифрових пристроїв вимагає наявності поведінкових моделей всіх нижчих рівнів ієрархії. Ступінь деталізації аспектів модельного часу, значень об'єктів даних і функціональності структурної моделі залежить від ступеня деталізації моделей компонентів.

**Модель продуктивності** - даний тип моделей дозволяє моделювати тимчасові аспекти роботи пристроїв, тобто визначати швидкість реакції моделі пристрою або його компонента на зміну вхідного сигналу без обчислення значення вихідного сигналу.

**Модель інтерфейсу** може містити деталізацію всіх аспектів обміну інформацією між проектованим пристроєм і зовнішнім середовищем, включаючи функціональність, тимчасові характеристики, значення даних і т.п. Така модель не містить інформації про внутрішню структуру пристрою.

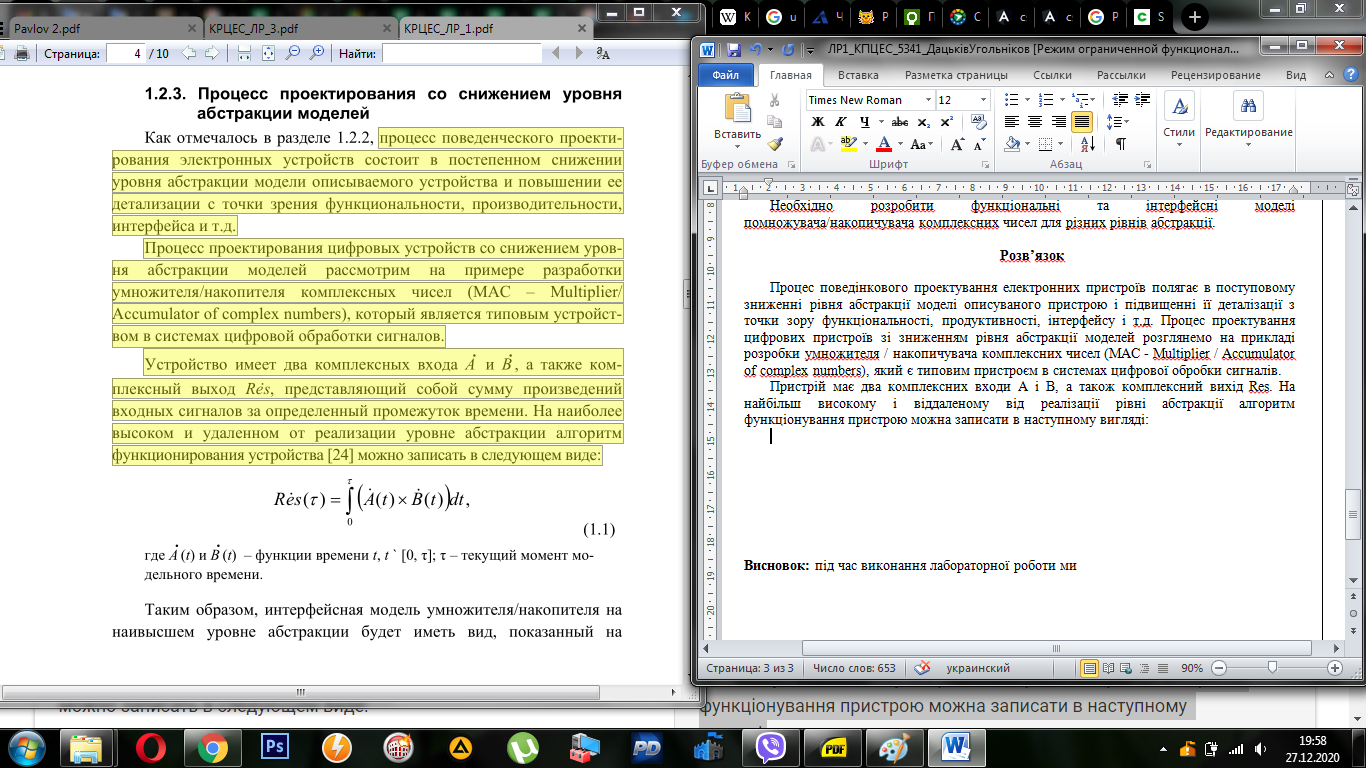
**Завдання**

Необхідно розробити функціональні та інтерфейсні моделі помножувача/накопичувача комплексних чисел для різних рівнів абстракції.

**Розв’язок**

Процес поведінкового проектування електронних пристроїв полягає в поступовому зниженні рівня абстракції моделі описуваного пристрою і підвищенні її деталізації з точки зору функціональності, продуктивності, інтерфейсу і т.д. Процес проектування цифрових пристроїв зі зниженням рівня абстракції моделей розглянемо на прикладі розробки умножителя / накопичувача комплексних чисел (MAC - Multiplier / Accumulator of complex numbers), який є типовим пристроєм в системах цифрової обробки сигналів.

Пристрій має два комплексних входи A і B, а також комплексний вихід Res. На найбільш високому і віддаленому від реалізації рівні абстракції алгоритм функціонування пристрою можна записати в наступному вигляді:



де A˙(t) и B˙(t) – функції часу t, t ` [0, τ]; τ – поточний момент модельного часу.

Таким чином, інтерфейсна модель помножувача / накопичувача на найвищому рівні абстракції матиме вигляд, показаний на рис. 1.

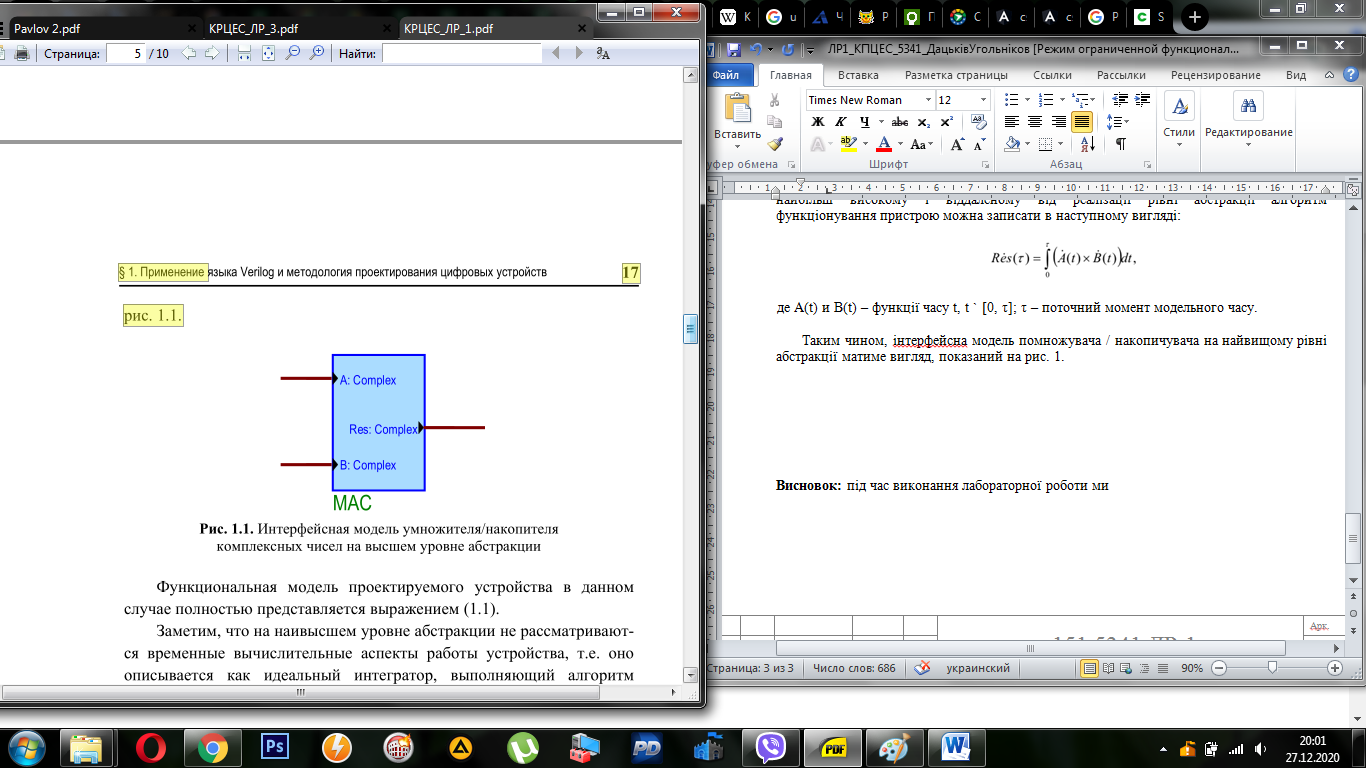


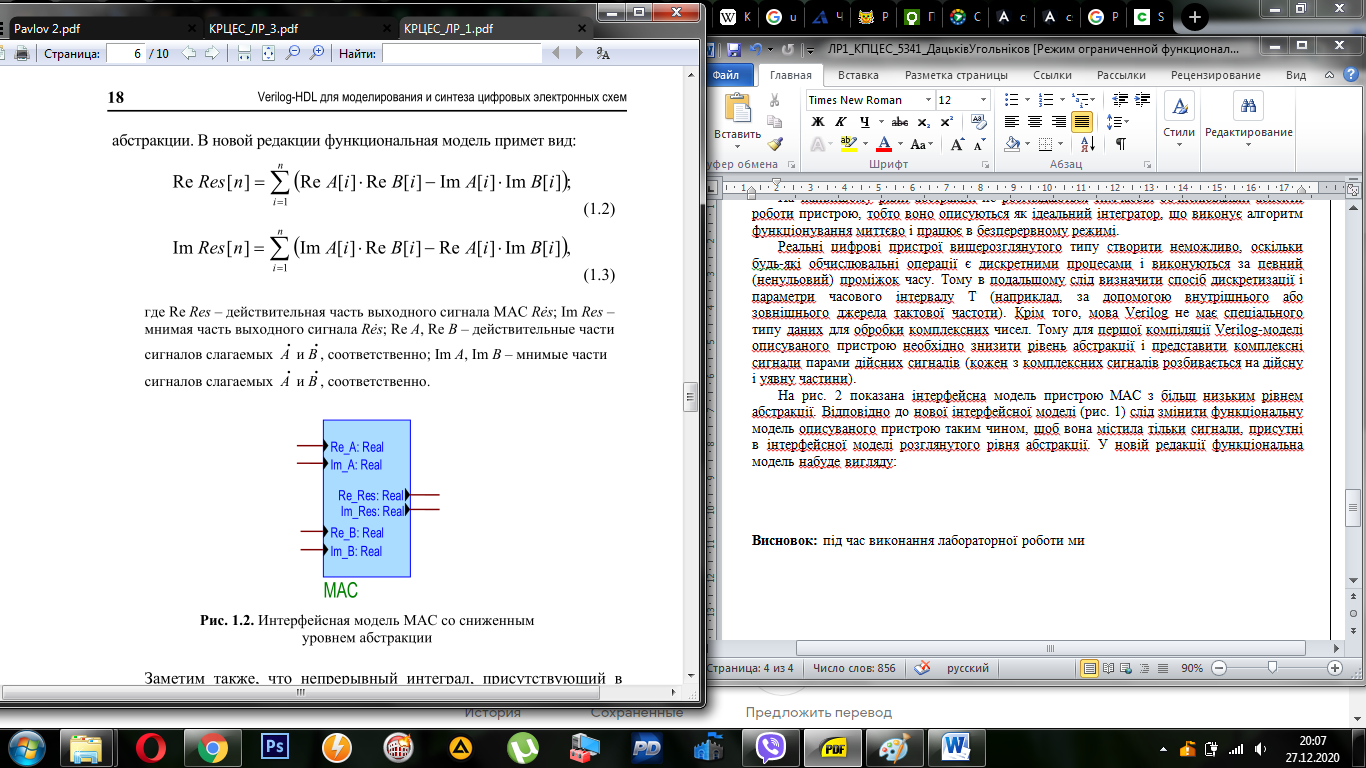
Рис. 1. Інтерфейсна модель помножувача / накопичувача

комплексних чисел на вищому рівні абстракції

На найвищому рівні абстракції не розглядаються тимчасові обчислювальні аспекти роботи пристрою, тобто воно описуються як ідеальний інтегратор, що виконує алгоритм функціонування миттєво і працює в безперервному режимі.

Реальні цифрові пристрої вищерозглянутого типу створити неможливо, оскільки будь-які обчислювальні операції є дискретними процесами і виконуються за певний (ненульовий) проміжок часу. Тому в подальшому слід визначити спосіб дискретизації і параметри часового інтервалу T (наприклад, за допомогою внутрішнього або зовнішнього джерела тактової частоти). Крім того, мова Verilog не має спеціального типу даних для обробки комплексних чисел. Тому для першої компіляції Verilog-моделі описуваного пристрою необхідно знизити рівень абстракції і представити комплексні сигнали парами дійсних сигналів (кожен з комплексних сигналів розбивається на дійсну і уявну частини).

На рис. 2 показана інтерфейсна модель пристрою MAC з більш низьким рівнем абстракції. Відповідно до нової інтерфейсної моделі (рис. 1) слід змінити функціональну модель описуваного пристрою таким чином, щоб вона містила тільки сигнали, присутні в інтерфейсної моделі розглянутого рівня абстракції. У новій редакції функціональна модель набуде вигляду:



де Re Res - дійсна частина вихідного сигналу MAC Re˙s; Im Res - уявна частина вихідного сигналу Re˙s; Re A, Re B - дійсні частини сигналів доданків A˙ і B˙, відповідно; Im A, Im B - уявні частини сигналів доданків A˙ і B˙, відповідно.

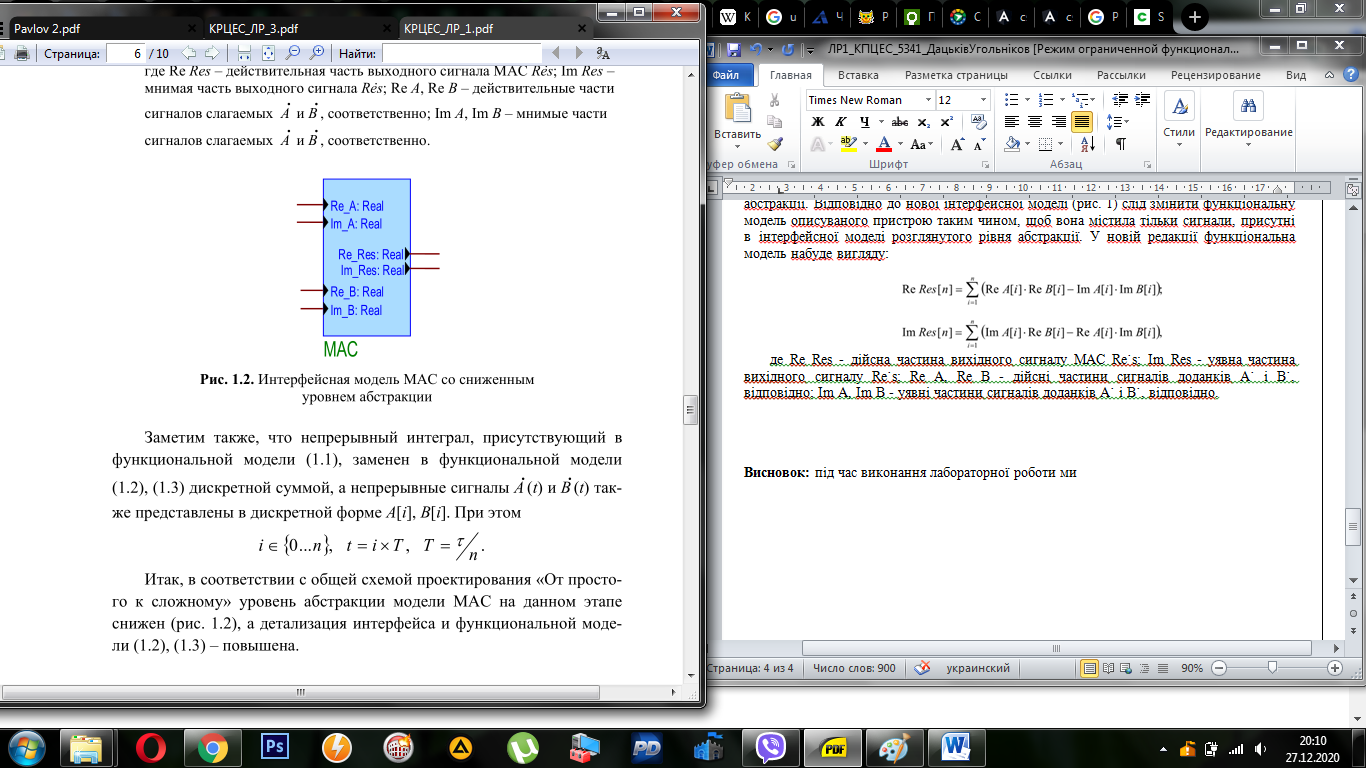
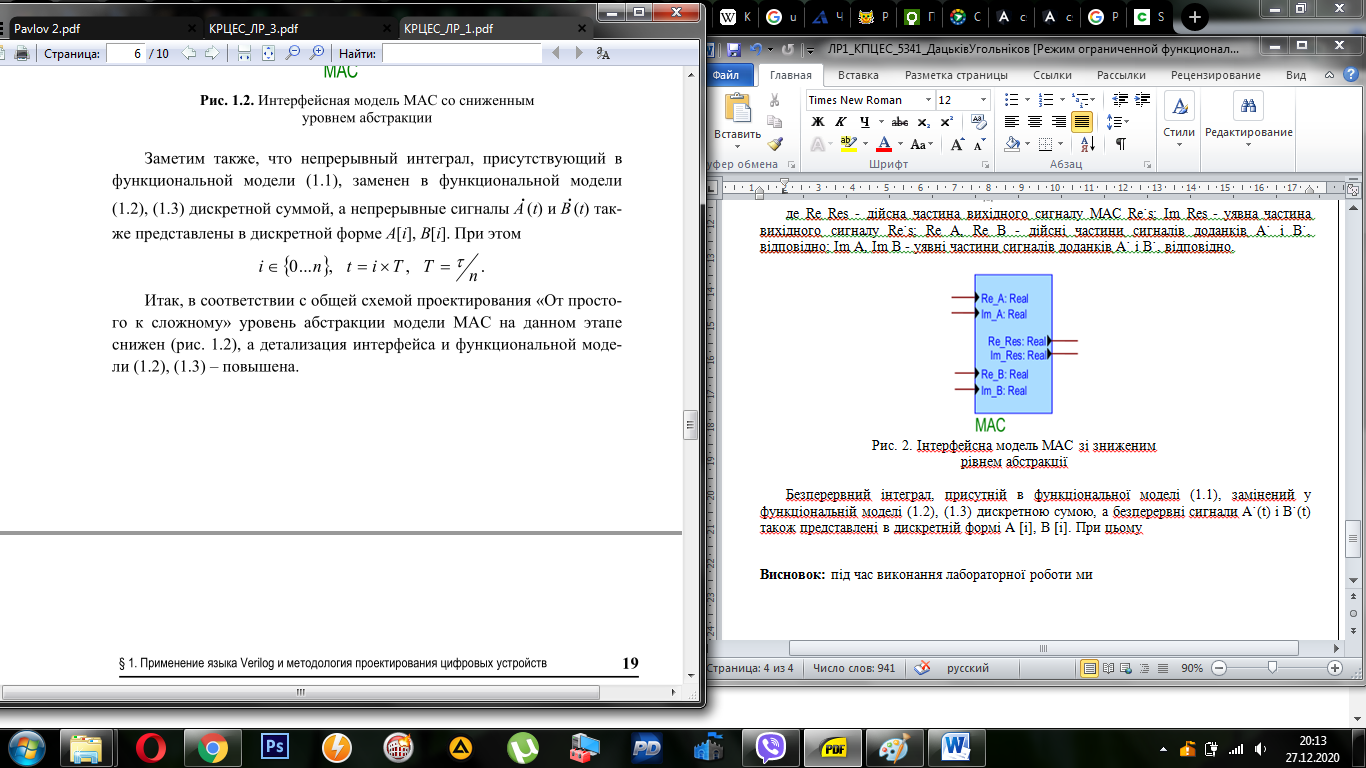


Рис. 2. Інтерфейсна модель MAC зі зниженим

рівнем абстракції

Безперервний інтеграл, присутній в функціональної моделі (1.1), замінений у функціональній моделі (1.2), (1.3) дискретною сумою, а безперервні сигнали A˙(t) і B˙(t) також представлені в дискретній формі A [i], B [i]. При цьому



Отже, відповідно до загальної схеми проектування «Від простого до складного» рівень абстракції моделі MAC на даному етапі знижений (рис. 2), а деталізація інтерфейсу і функціональної моделі (1.2), (1.3) - підвищена.

Разом з тим засоби синтезу логічних ланцюгів в Verilog не підтримують тип даних real, а значить, необхідно здійснювати подальше зниження рівня абстракції моделі MAC шляхом подання кожного сигналу типу real парою довійкових шин, що визначають **мантиссу** і **порядок** дійсного числа. Крім того, необхідно ввести додаткові керуючі сигнали (сигнал синхронізації CLK і сигнал скидання RST) і вибрати протокол передачі інформації на вхід пристрою MAC.

Інтерфейсна модель пристрою на найбільш низькому рівні абстракції приведена на рис. 3.

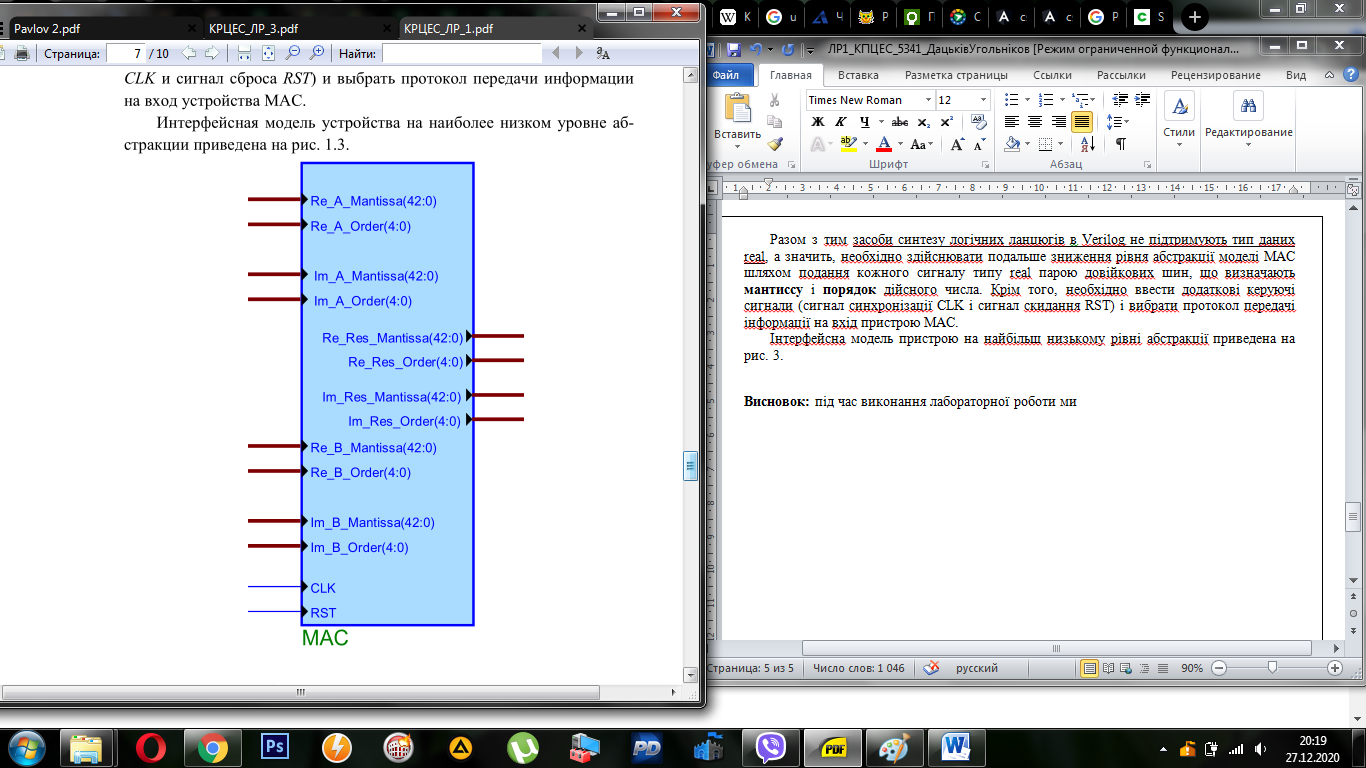


Рис. 3. Інтерфейсна модель проектованого пристрою MAC

з нижчим рівнем абстракції

Подібним чином можна організувати процес проектування внутрішньої структури компонентів, що входять до складу проектованого пристрою «умножитель / накопичувач». Очевидно, що створення Verilog-програми, необхідної для реалізації пристрою, інтерфейсна модель якого представлена ​​на рис. 2, не потребує великих зусиль, але і не дозволить синтезувати логічну схему для мікросхем програмованої логіки FPGA або CPLD.

Розробка на мові Verilog програми для пристрою MAC у відповідності до моделі нижчого рівня абстракції (рис. 3) є набагато складним завданням, що вимагає розробки спеціальних компонентів для множення і складання дійсних чисел, побудови структури компонентів з урахуванням синхронізації сигналів в часі та ін., проте її рішення дозволить довести розроблюваний пристрій до апаратної реалізації.

**Висновок:** під час виконання лабораторної роботи ми отримали знання про типи моделей, які описують ЦЕС; розглянули процес структурної декомпозиції. Розробили функціональні та інтерфейсні моделі помножувача/накопичувача комплексних чисел для різних рівнів абстракції.